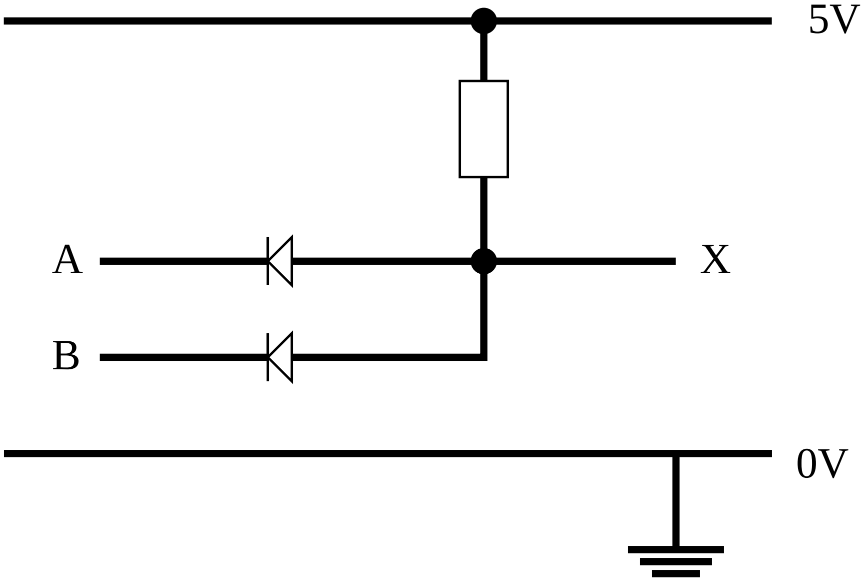
Digitale Schaltungen

Dioden-Logik (DL)

AND-Verknüpfung in DL



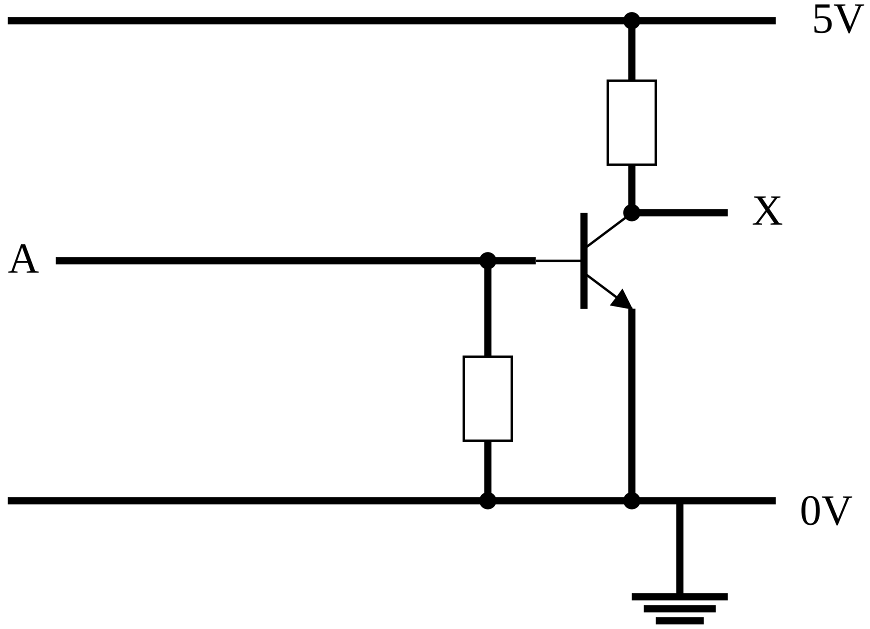
A	B	X
0	0	0.7V
0	5V	0.7V
5V	0	0.7V
5V	5V	5V

- Mit DL-Logik ist keine Negation möglich.

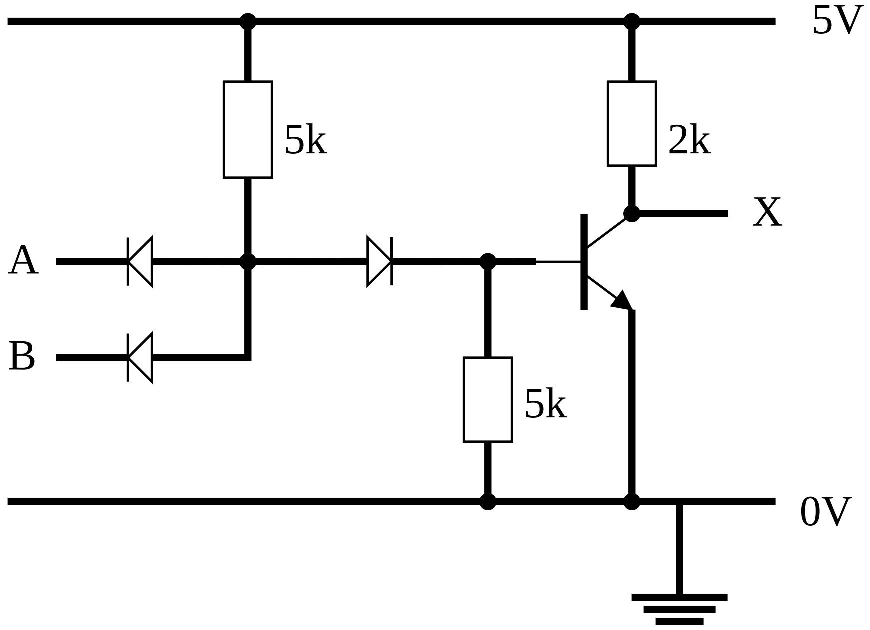
- Spannungen am Ausgang sind „schlechter" als am Eingang $\Rightarrow$ keine Kaskadierung möglich.

Dioden-Transistor-Logik

Negierung mit Transistor

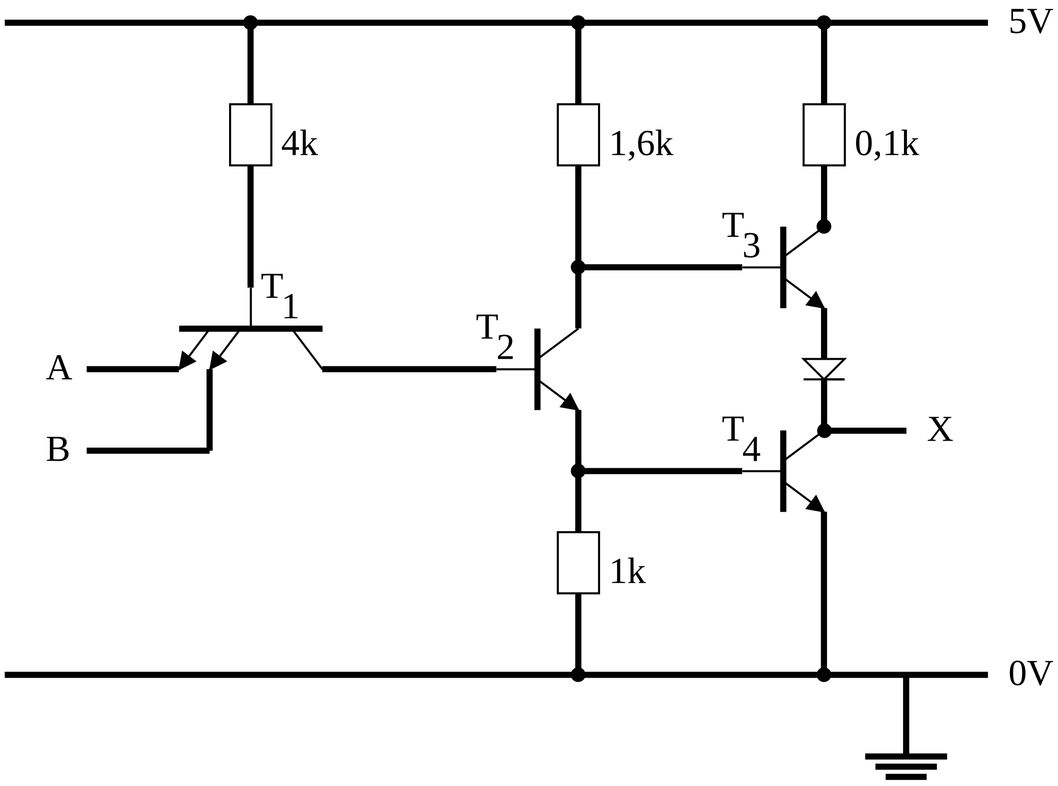


Zusammen: NAND in DTL



Transistor-Transistor-Logik

NAND in TTL

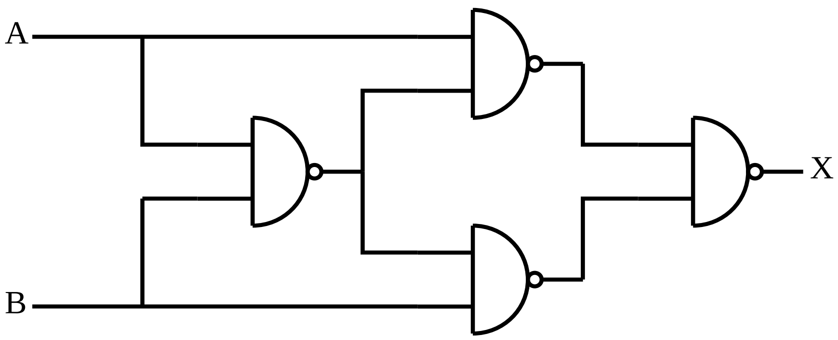


- Spannungen am Ausgang sind besser als am Eingang.

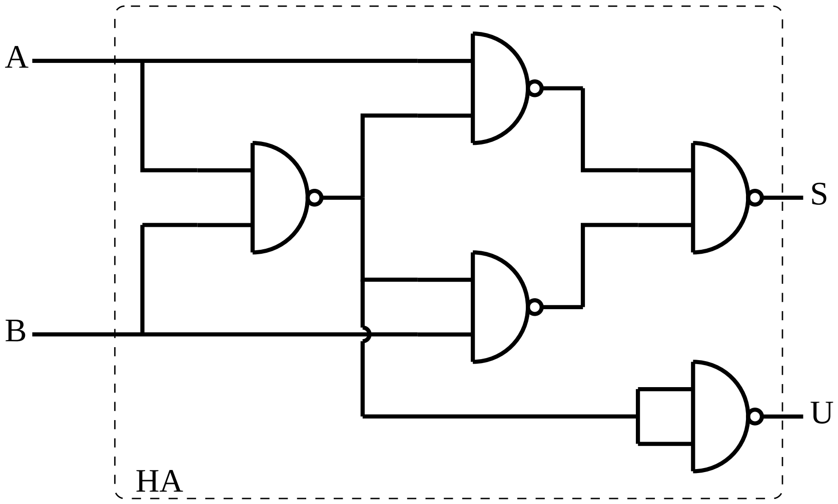
- Schaltzeit ca. 10ns, Leistung ca. 10mW, Fan-Out ca. 10.

Aus NANDs können beliebig komplizierte Schaltungen aufgebaut werden:

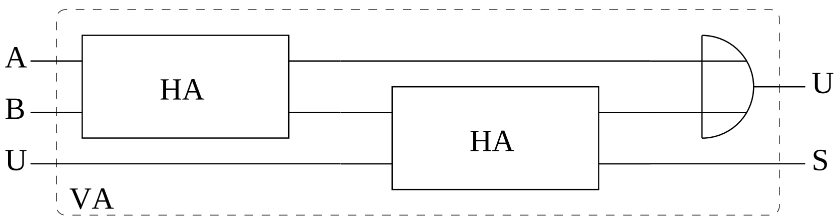
EXOR



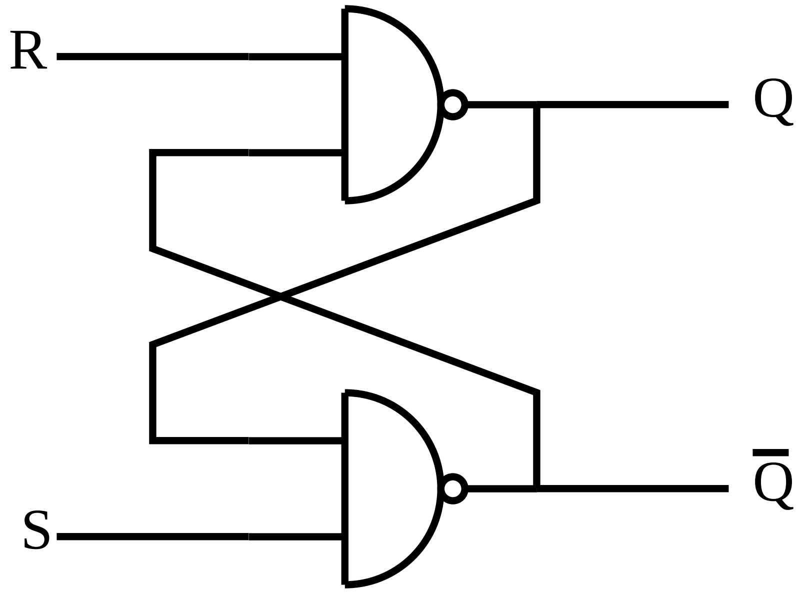
Halbaddierer



Volladdierer



Basis-Flip-Flop

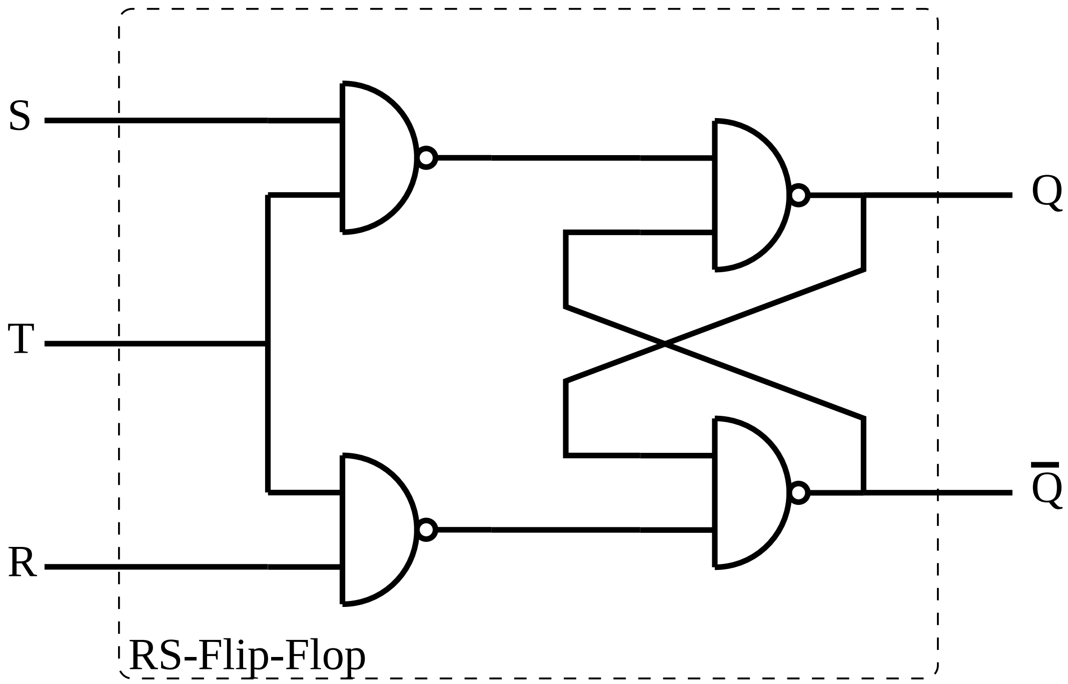


R	S	Q	$\bar{Q}$	
0	1	1	0	„Set“
1	0	0	1	„Reset“
1	1	Q_{t-1}	$\bar{Q}_{t-1}$	Speichern
0	0	0	0	verboten

- Sind S und R auf 1, so wird der vorherige Wert „gespeichert“.

- Der Zustand R=S=0 ist nicht stabil.

RS-Flip-Flop

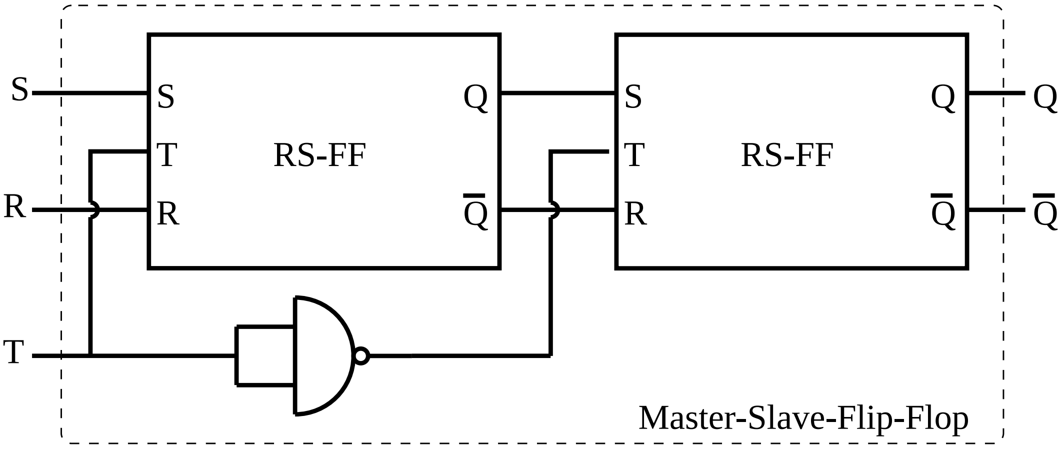


- Zustandsänderung ist nur möglich, wenn das „Taktsignal“ anliegt.

- Variation D-Flip-Flop: komplementäre Ansteuerung von R und S (stabiler Schalter).

- Problem: bei anliegendem Takt werden Änderungen am Eingang *sofort* am Ausgang sichtbar.

Master-Slave Flip-Flop



- Erst bei fallender Taktflanke wird das neue Datum in den Slave-FF übernommen und an die Ausgänge gelegt.

- Durch Rückkopplung der Ausgänge und Hinzufügung asynchroner „Set“ und „Reset“-Eingänge erhalten wir den bekannten „J-K-Master-Slave-Flip-Flop“.

- Grundbaustein von Zählern, Schieberegistern etc.